

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-146103

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

G01R 31/3183
H03K 5/135

(21)Application number : 06-289416

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 24.11.1994

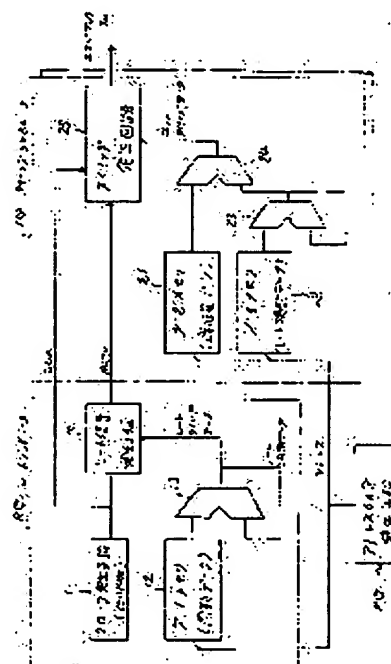
(72)Inventor : TOYAMA AKIRA
AGATA TATSUYUKI

(54) TIMING SIGNAL GENERATING DEVICE

(57)Abstract:

PURPOSE: To make it possible to generate an edge signal with a high accuracy timing by inputting a standard clock to a timing generator, and using delay data and rate fraction data obtained in the timing generator.

CONSTITUTION: A standard clock obtained from a clock signal generating means 11 is, as it is, supplied to a timing generating circuit 25 as a clock signal with continuous phase. A rate signal obtained from a rate signal generating means 14 is supplied to the timing generating circuit 25 as a system internal rate signal. The timing generating circuit 25 generates a pulse signal with no integer multiple cycle of the standard clock based on fraction information obtained in the timing generator TG using the standard clock with continuous phase and the rate signal.



LEGAL STATUS

[Date of request for examination] 19.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2907033

[Date of registration] 02.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-146103

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁶

G 0 1 R 31/3183

H 0 3 K 5/135

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/ 28

Q

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21) 出願番号 特願平6-289416

(22) 出願日 平成6年(1994)11月24日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 遠山 晃

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

(72) 発明者 縣 立之

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

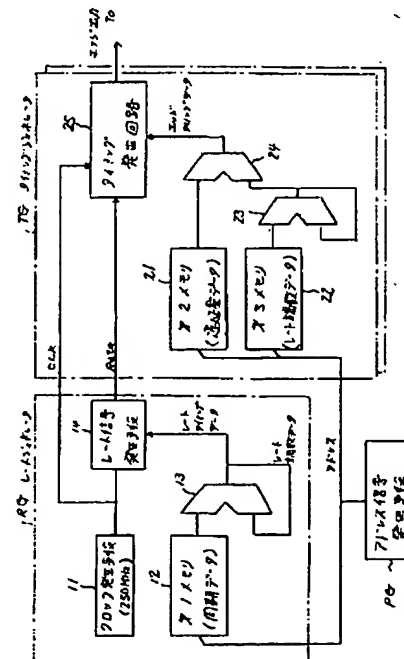
(74) 代理人 弁理士 渡辺 正康 (外1名)

(54) 【発明の名称】 タイミング信号発生装置

(57) 【要約】 (修正有)

【目的】 レート端数データ等の情報を分配する必要がない構成とすると共に、高い精度のタイミングでエッジ信号を発生することができるようにする。

【構成】 クロック発生手段11と、周期データが格納された第1のメモリ12と、周期データとレートタイミングデータの端数データを加算する第1の加算手段13と、基準クロックを入力すると共に、第1の加算手段からのレートタイミングデータが与えられるレート信号発生手段14と、遅延量データが格納される第2のメモリ21と、端数データが格納される第3のメモリ22と、端数データと前回出力した端数データとを加算する第2の加算手段23と、エッジタイミングデータを出力する第3の加算手段24と、基準クロックとレート信号発生手段からのレート信号とを入力し、遅延パルスを出力するタイミングパルス発生回路25とで構成する。



1

【特許請求の範囲】

【請求項 1】基準クロックとレート信号とを出力するレートジェネレータと、このレートジェネレータから分配される基準クロックとレート信号とを入力し、ユーザが定義する遅延量を持つエッジ信号を出力するタイミングジェネレータとを備えたタイミング信号発生装置であって、

前記レートジェネレータは、

固定周波数の基準クロック（CLK）を発生するクロック発生手段と、

周期データが格納された第 1 のメモリと、

この第 1 のメモリから読みだされた周期データと自身が前回出力したレートタイミングデータの端数データとを加算する第 1 の加算手段と、

クロック発生手段からの基準クロックを入力すると共に、第 1 の加算手段からのレートタイミングデータが与えられ、このデータに対応する所定の分解能のレート信号（Rate）を出力するレート信号発生手段とで構成され、

前記タイミングジェネレータは、

遅延量データが格納される第 2 のメモリと、

第 1 のメモリに格納した周期データと対応したデータであって当該データの端数データが格納される第 3 のメモリと、

第 3 のメモリから読みだされた端数データと自身が前回出力した端数データとを加算する第 2 の加算手段と、

第 2 のメモリから読みだされた遅延量データと第 2 の加算手段からのデータとを加算しエッジタイミングデータを出力する第 3 の加算手段と、

クロック発生手段からの基準クロックとレート信号発生手段からのレート信号とを入力し、レート信号により初期化されエッジタイミングデータに対応する遅延量を持つ遅延パルスを出力するタイミングパルス発生回路とで構成されるタイミング信号発生装置。

【請求項 2】レート信号発生手段は、クロック発生手段からの基準クロックをカウントするカウンタと、このカウンタから出力される計数データと第 1 の加算手段からのレートタイミングデータとを比較するデジタル比較器とで構成される請求項 1 のタイミング信号発生装置。

【請求項 3】タイミングパルス発生回路は、クロック発生手段からの基準クロックをカウントすると共にレート信号発生手段からのレート信号によりリセットされるカウンタと、このカウンタから出力される計数データと第 3 の加算手段からのエッジタイミングデータとを比較するデジタル比較器と、このデジタル比較器から出力されるパルスを前記エッジタイミングデータの中の下位側端数データに応じて遅延させる遅延回路とで構成される請求項 1 のタイミング信号発生装置。

【請求項 4】レート信号発生手段は、第 1 の加算手段からのレートタイミングデータがプリセット値としてロー

2

ディングされ、クロック発生手段からの基準クロックをダウンカウントするカウンタと、このカウンタの値がゼロ値に達したのを検出するゼロ検出手段とで構成される請求項 1 のタイミング信号発生装置。

【請求項 5】タイミングパルス発生回路は、第 3 の加算手段からのエッジタイミングデータがプリセット値としてローディングされると共に、レート信号発生手段からのレート信号によりリセットされ、クロック発生手段からの基準クロックをダウンカウントするカウンタと、このカウンタの値がゼロ値に達したのを検出するゼロ検出手段とで構成される請求項 1 のタイミング信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロックパルスの周期よりも高い分解能を持つタイミング信号を発生するためのタイミング信号発生装置に関し、更に詳しくは、例えば、LSI（大規模集積回路、IC、メモリ用IC）等の半導体回路をテストするためのLSIテスト装置に使用して有効であって、設定した周期と遅延量とを持つタイミング信号を発生するタイミング信号発生装置に関する。

【0002】

【従来の技術】LSI等の半導体ディバイスは、今日飛躍的な進歩をしており各種の機能や構成が複雑化している。このような半導体ディバイスの試験（テスト）を行うにあたっては、LSIテスト装置が用いられる。LSIテスト装置は、被検査の対象となるLSI（以下DUTと言う）に、テスト信号発生手段より各種のパターンを持つテスト信号を印加し、DUTから出力されるデータと、印加したテスト信号に応じてあらかじめ用意した期待値パターンとを比較することで、DUTの良否を判定するように構成されている。

【0003】ここで、テスト信号発生手段においては、テスト信号を作るために、正確で高分解能、かつ繰り返し可能なタイミング信号が用いられる。図5は、従来のこの種のタイミング信号発生装置の一例を示す構成ブロック図で、例えば、特公昭62-23495号公報あるいは、US特許第4231104号公報等に開示されている。

【0004】この図では、基準クロックTsynとタイミング信号（レート信号）Toutとを発生するレートジェネレータを示している。この回路は、水晶発振器OSCからのクロックToscをカウントし、所定のカウンタ値に達したとき、クロックの整数倍の周期を持つ分周クロックTcを出力するプログラマブルカウンタ1と、このプログラマブルカウンタ1からのクロックTcを入力し、遅延時間が反復して変化させて、入力した分周クロックに遅延を与え、クロックToscの周期の整数倍と異なる周期のタイミング信号を発生するプログラ

3

マブル遅延装置（遅延線）2aと、水晶発振器OSCからのクロックを分周クロックに与える遅延と同じ量だけ遅延するプログラマブル遅延装置（遅延線）2bとを備えて構成されている。

【0005】ここで、プログラマブル遅延装置2a、2bの遅延時間は、レジスタ3に記憶されたデータによって制御される。レジスタ3に記憶されるデータは、アダー4から与えられる。アダー4は、メモリ5に格納されている遅延時間データとレジスタ3に記憶されているデータとを加算し、その和のデータをプログラマブル遅延装置2からのタイミング信号T_{out}により、レジスタ3にロードする。従って、レジスタ3に記憶されるデータは、タイミング信号T_{out}が出力される毎に更新されることとなる。

【0006】図6は、図5の回路を使用して50ナノ秒（ns）の周期を有するタイミング信号（レート信号）T_{out}を発生する場合を示すタイムチャートである。ここでは、はじめに、メモリ5には、遅延変化数としてのデータ「2」が格納され、また、メモリ6には、カウンタ1のプリセット値としてのデータ「3」が格納されているものとしている。また、レジスタ3には、最初は「0」が格納されており、プログラマブル遅延装置2による遅延は零である。（a）はプログラマブルカウンタ1に与えられる16ns周期のクロックT_{osc}を示している。

【0007】プログラマブルカウンタ1は、メモリ6から読みだされたプリセット値「3」が与えられ、（a）に示すクロックT_{osc}により1カウントずつプリセット値「3」から下に計数し、（b）に示すように、3クロック目（16ns×3=48ns後）に分周クロックT_cを出力する。この分周クロックT_cは、プログラマブル遅延装置2に直接印加される。

【0008】アダー4は、メモリ5に格納されている遅延変化数としてのデータ「2」と、レジスタ3の遅延変化数データ「0」とを加算し、その加算値「2」を最初のタイミング信号T_{out}によりレジスタ3に格納する。従って、次に、遅延装置2に印加されるクロックT_cは、レジスタ3に格納された遅延時間数「2」に基づいて、（c）に示すように2nsだけ遅延したものとなり、これがタイミング信号T_{out1}として出力される。このタイミング信号は、最初のタイミング信号が出力されてから、50ns（16ns×3+2ns）後に表れることとなる。

【0009】アダー4は、この間、メモリ5に格納されている遅延変化数としてのデータ「2」とレジスタ3の遅延変化数データ「2」とを加算し、その加算値「4」をタイミング信号T_{out1}によりレジスタ3に格納する。従って、次に、遅延装置2に印加されるクロックT_cは、レジスタ3に格納された遅延時間数「4」に基づいて、（c）に示すように4nsだけ遅延したものとな

4

り、これがタイミング信号T_{out2}として出力される。このタイミング信号T_{out2}は、タイミング信号T_{out1}が出力されてから、50ns後に表れることとなる。

【0010】この様にして、メモリ6に格納するプリセット値とメモリ5に格納する遅延変化数データとの適当な選択により、クロックT_{osc}の周期の整数倍とは異なった周期のタイミング信号T_{out}をプログラマブル遅延装置2から得ることができる。また、同じようにして、このタイミング信号T_{out}と同期するような基準クロックT_{syn}を得ることができる。

【0011】

【発明が解決しようとする課題】ところで、この様に構成される従来のタイミング信号発生装置は、水晶発振器からのクロックを遅延線2bで遅延させて基準クロックT_{syn}を得る構成であるために、プログラマブルカウンタからの信号が遅延される継ぎ目で、基準クロックT_{syn}に位相不連続が発生しタイミング精度が悪化するという問題点がある。また、プログラマブルカウンタ1からの分周パルスが遅延線2aに供給して遅延させる構成であるため、伝送線路間における分周パルスの立ち上りの減衰等が問題となる。また、従来装置においては、高価なプログラマブル遅延装置を数多く必要とする。

【0012】プログラマブル遅延装置は、通常、プリント回路基板上に比較的長いトレースを必要とし、また、タップを出すために、プリント回路基板上に相当大きな面積を占めるという問題点がある。更にプログラマブル遅延線を多く使用する従来装置によれば、正確な遅延時間を維持するためには、遅延時間を補正するための回路が必要であり、また、一度補正した後にもドリフトが生ずるので誤差が生ずる恐れがある。

【0013】ここにおいて、本発明の目的は、従来技術におけるこれらの問題点を解決し、高い分解能でクロック周期の整数倍とは異なる周期のタイミング信号（エッジ信号）を発生できるタイミング信号発生装置を提供することにある。

【0014】

【課題を解決するための手段】このような目的を達成する本発明は、基準クロックとレート信号とを出力するレートジェネレータと、このレートジェネレータから分配される基準クロックとレート信号とを入力し、ユーザが定義する遅延量を持つエッジ信号を出力するタイミングジェネレータとを備えたタイミング信号発生装置であって、前記レートジェネレータは、固定周波数の基準クロック（CLK）を発生するクロック発生手段と、周期データが格納された第1のメモリと、この第1のメモリから読みだされた周期データと自身が前回出力したレートタイミングデータの端数データとを加算する第1の加算手段と、クロック発生手段からの基準クロックを入力す

50

ると共に、第1の加算手段からのレートタイミングデータが与えられ、このデータに対応する所定の分解能のレート信号(Rate)を出力するレート信号発生手段とで構成され、前記タイミングジェネレータは、遅延量データが格納される第2のメモリと、第1のメモリに格納した周期データと対応したデータであって当該データの端数データが格納される第3のメモリと、第3のメモリから読みだされた端数データと自身が前回出力した端数データとを加算する第2の加算手段と、第2のメモリから読みだされた遅延量データと第2の加算手段からのデータとを加算しエッジタイミングデータを出力する第3の加算手段と、クロック発生手段からの基準クロックとレート信号発生手段からのレート信号とを入力し、レート信号により初期化されエッジタイミングデータに対応する遅延量を持つ遅延パルスを出力するタイミングパルス発生回路とで構成されるタイミング信号発生装置である。

【0015】

【作用】クロック信号発生手段から得られる基準クロックは、そのまま位相が連続するクロック信号としてタイミング発生回路に供給される。また、レート信号発生手段から得られるレート信号は、システム内部レート信号としてタイミングパルス発生回路に供給される。

【0016】タイミングパルス発生回路は、位相連続な基準クロックとレート信号とを用いて、基準クロックの周期の整数倍でない周期を持つようなパルス信号を、タイミングジェネレータ内で得られる端数情報に基づいて発生する。

【0017】

【実施例】以下、図面を用いて本発明の一実施例を詳細に説明する。図1は、本発明に係わるタイミング信号発生装置の基本的な構成を示す構成ブロック図である。なお、本発明において、タイミング信号とは、このタイミング信号を作るのに使用する基準クロックに対して、変更あるいは調整可能な任意の位相(遅れ)を持つクロックやパルス信号、基準クロックの周期の整数倍でない周期を持つようなパルス信号を総称して言うものとする。

【0018】図において、RGは一定周期の基準クロック信号CLKと、レート信号(周期信号)Rateとを出力するレートジェネレータ、TGはレートジェネレータRGから出力される基準クロック信号CLKと、レート信号Rateとを入力し、ユーザが定義する位相(遅延量)を持つエッジ信号Toを出力するタイミングジェネレータである。PGはCPUを含むアドレス信号発生手段で、各メモリに出力するアドレス信号を出力する機能を備え、タイミング信号を発生するに必要なデータ(周期や遅延量)を決定する。

【0019】タイミングジェネレータTGは、ここではひとつのブロックのみを示しているが、DUTのピン数に応じて多数が設けられ、レートジェネレータRGから

出力される基準クロックCLKと、レート信号Rateが各タイミングジェネレータTGに分配されている。レートジェネレータRGにおいて、11は固定周波数(例えば250MHz)の基準クロックCLKを出力するクロック発生手段で、例えば、水晶発振器が用いられる。

【0020】12は周期データが格納された第1のメモリで、ここには、出力するエッジ信号(出力タイミング信号)Toの周期を定義する周期データ(レートデータ)D1(例えば40psの分解能を持つ25ビットのデータ)が格納される。ここに格納される周期データは、各種エッジの定義に対応できるように複数組のものが用意しており、アドレス信号発生手段3から与えられるアドレスに基づいて読みだされる。

【0021】13は第1の加算手段で、第1のメモリ12から読みだされた周期データD1と自身が前のサイクルで出力したレート端数データD2とを加算する。14はレート信号発生手段で、クロック発生手段11からの基準クロック信号CLKを入力すると共に、第1の加算手段13から出力されるレートタイミングデータDrateが与えられ、このレートタイミングデータに対応する周期のレート信号(Rate)を出力するように構成してある。

【0022】ここで、レート信号発生手段14に与えられるレートタイミングデータDrateは、例えば、4nsの分解能を持つ18ビットのデータとなっていて、第1の加算手段13から出力される25ビットの加算データのうちの低位側の7ビットが端数データとして切り捨てられている。この際切り捨てられた25ビットデータのうちの低位側(LSB)7ビット端数データ(従って、このデータの分解能は、40ps、4nsスパンとなっている)は、次のサイクルで、第1のメモリ手段12から出力される周期データD1に加算されて、新しいレートタイミングデータ(4ns分解能)を作ることとなる。

【0023】タイミングジェネレータTGにおいて、21は遅延量データが格納される第2のメモリである。また、22は第3のメモリで、第1のメモリ12に格納した周期データと対応したデータD1の低位側端数データ(データの分解能は、40ps、4nsスパン)が格納されている。これら第2、第3の各メモリに格納されるデータも、各種エッジの定義に対応できるように複数組のものが用意してある。

【0024】23は第2の加算手段で、第3のメモリ22から読みだされた端数データと自身が前回のサイクルに出力した端数データとを加算する。24は第3の加算手段で、第2のメモリ21から読みだされた遅延量データと第2の加算手段23からの加算データとを加算し、これをエッジタイミングデータとして出力する。

【0025】25はタイミングパルス発生回路で、レートジェネレータRG内のクロック発生手段11から送ら

れた基準クロックCLKと、レート信号発生手段14から出力されたレート信号Rateとを入力し、レート信号により初期化されエッジタイミングデータに対応する遅延量を持つ遅延パルスを出力するように構成してある。

【0026】図2は、レートジェネレータRGの一例を示す構成ブロック図である。レート発生手段14は、基準クロックCLKを計数するカウンタ141と、このカウンタの計数値データDcou1と第1の加算手段13が出力するレートタイミングデータとの一致を検出するデジタル比較手段142とで構成されている。

【0027】第1の加算手段13は、内部にレジスタ131を含んで構成されていて、ここに、前回のサイクルで切り捨てた25ビットデータの下位側(LSB)7ビットの端数データが保存されるようにしてある。図3は、タイミングジェネレータTGの一例を示す構成ブロック図である。タイミング発生回路25は、基準クロックCLKを計数し、レート信号Rateによりリセットされるカウンタ251と、このカウンタの計数値データDcou2と第3の加算手段24が出力するエッジタイミングデータとの一致を検出するデジタル比較手段252と、デジタル比較手段252が出力するパルス信号を入力し、これを第3の加算手段24が出力するエッジタイミングデータの下位のデータに応じて遅延させる遅延回路253とで構成してある。

【0028】第2の加算手段23は、内部にレジスタ231を含んで構成されていて、ここに、前回のサイクルで出力したレート端数データの下位のデータ(例えば25ビットデータの下位側7ビットデータ)が保存されるようにしてある。このように構成した装置の動作を次に説明する。図4は、動作の一例を示すタイムチャートで、(A)～(R)は、図2、図3の各部分に示した符号位置の波形と対応している。

【0029】ここで、(A)は、ユーザー定義のレート信号を示しており、 $n-1$ サイクル目と、 n サイクル目*

$$\{T_{n-1} + \text{mod}(\Sigma Td_{n-1}, 4ns)\} / 4ns \cdots (1)$$

で表され、ここで割り切れなかった端数データ(4ns未満の端数)が、レジスタ131に累積され保存される。そして、端数データの累積値が、4nsを越えたサイクルにおいて、桁上がりが発生することとなる。

【0033】レート発生手段14内のデジタル比較手段142は、カウンタ141からのデータDcou1が、(1)式に一致するのを検出し、(C)に示すようなシステム内部レート信号Rateを出力する。従って、このシステム内部レート信号Rateは、レジスタ131に累積される端数データが、4nsに達した時点のサイクルで、1基準クロック分遅延したものとなる。

【0034】タイミングジェネレータTGにおいて、第2のメモリ21からは、(M)に示すように遅延量データ(T_{sn} , $T_{sn,1}$ …)が、システム内部レート信号Ra

*付近を例に各点の波形を示している。(B)は、クロック発生手段11が出力する基準クロック(250MHz)を示しており、ユーザー定義のレート信号の周期は、基準クロック周期の整数倍の関係にはなっていない。

【0030】レート発生手段14は、ここに示す基準クロックを入力し、(C)に示すように基準クロックの整数倍の周期のシステム内部レート信号Rateを作る。アドレス信号発生手段3は、システム内部レート信号Rateの周期で、アドレス信号を(D)に示すように各メモリに与える。ここで、各メモリに与えられるアドレスは、ユーザー定義によりあらかじめ各サイクルごとに決められる。各メモリからは、与えられたアドレスに格納されているデータがシステム内部レート信号Rateの周期でそれぞれ読みだされる。

【0031】第1のメモリ12から、(E)に示すように読みだされた周期データ(T_{n-1} , T_n …)は、第1の加算手段13に与えられ、ここで(F)に示すように出力された前回のサイクルでの端数データと加算される。ここで端数データは、前回サイクルにおける4ns未満の端数データであって、 $\text{mod}(\Sigma Td_{n-1}, 4ns)$, $\text{mod}(\Sigma Td_{n-1}, 4ns) \cdots$ で表される。

【0032】第1の加算手段13は、周期データと前回サイクルでの端数データとを加算し、(G)に示すように、 $\{T_{n-1} + \text{mod}(\Sigma Td_{n-1}, 4ns), T_n + \text{mod}(\Sigma Td_{n-1}, 4ns) \cdots\}$ で表されるレートタイミングデータを、システム内部レート信号Rateの周期で出力する。ここで、第1の加算手段13から出力されるレートタイミングデータのうち、4ns分解能のレートタイミングデータ(25ビットの内の上位18ビットデータ)が、(H)に示すようにレート発生手段14(デジタル比較手段142)に与えられる。従って、レート発生手段14に与えられレートタイミングデータは、

teの周期で読みだされる。また、同様に、第3のメモリ22から、(J)に示すように、レート端数データ(Td_{n-1} , Td_n …)が読みだされる。ここで、第3のメモリ22に格納されているレート端数データは、第1のメモリ12に格納されている周期データ(T_{n-1} , T_n …)の端数に対応しており、40ps分解能で4nsスパンとなっている。

【0035】本発明においては、タイミングジェネレータTG側に、周期データ(T_{n-1} , T_n …)の端数に対応するレート端数データが格納された第3のメモリ22を持ち、レートジェネレータRG側から周期データ(T_{n-1} , T_n …)の端数に関連するデータの供給を得ていない点に構成上の一つの特徴がある。第2の加算手段23は、第3のメモリ22からのレート端数データ(Td

$d_{n-1}, Td_n \dots$) と、レジスタ231に累積されて保存されている前回のサイクルで出力したレート端数データの下位のデータ(例えば25ビットデータの下位側7ビットデータ)とを加算し、その加算値 $\text{mod}(\sum Td_{n-1}, 4ns)$, $\text{mod}(\sum Td_n, 4ns) \dots$ を、(L)に示すように出力する。なお、レジスタ231から出力されるレート端数データの累積値は、(K)に示すように、 $\text{mod}(\sum Td_{n-1}, 4ns)$, $\text{mod}(\sum Td_n, 4ns) \dots$ で表され、一つ前のサイクルでのレート端数データである。

【0036】第3の加算手段24は、第2のメモリ21から読みだされた遅延量データと第2の加算手段23からの出力とを加算し、その加算値 $Ts_n + \text{mod}(\sum Td_{n-1}, 4ns)$, $Ts_{n+1} + \text{mod}(\sum Td_n, 4ns) \dots$ を、(N)に示すように、エッジタイミングデータとしてタイミング発生回路25に出力する。タイミング発生回路25において、カウンタ251は、レートジェネレータRGから出力される基準クロックを、システム内部レート信号Rateの周期で計数している。また、デジタル比較器252は、第3の加算手段24から出力されるエッジタイミングデータの上位側(MSB)18ビットを受け取り、カウンタ251の計数値Decou2がエッジタイミングデータに等しくなるのを検出する。そして、カウンタ251の計数値Decou2がエッジタイミングデータに等しくなると、そのタイミングで(P)に示すように、まず、4ns分解能で遅延するパルス信号を出力する。

【0037】デジタル比較器252からのパルス信号は、遅延回路253に印加され、ここでエッジタイミングデータの下位側(LSB)7ビットデータに対応する分、遅延され、これが(R)に示すようにエッジ信号(タイミング信号)として出力される。このエッジ信号は、図示するように、基準クロックの周期の整数倍とは異なった周期で、しかも、この基準クロックの分解能(4ns)よりも高い分解能を有するものとなっている。

【0038】なお、上記の説明では、水晶発振器からのクロックとして250MHzのものを想定したが、他の周波数のものを用いてもよい。また、上記の各実施例では、レート信号発生手段14や、タイミングパルス発生回路は、カウンタとデジタル比較器とを含んで構成したものであるが、これらの構成に代えて、以下の様な構成としてもよい。

【0039】即ち、レート信号発生手段は、第1の加算手段からのレートタイミングデータがプリセット値としてローディングされ、クロック発生手段からの基準クロックをダウンカウントするカウンタと、このカウンタの値がゼロ値(データがローディングされる前の値)に達したのを検出するゼロ検出手段とで構成してもよい。また、タイミングパルス発生回路は、第3の加算手段から

のエッジタイミングデータがプリセット値としてローディングされると共に、レート信号発生手段からのレート信号によりリセットされ、クロック発生手段からの基準クロックをダウンカウントするカウンタと、このカウンタの値がゼロ値(データがローディングされる前の値)に達したのを検出するゼロ検出手段とで構成してもよい。

【0040】

【発明の効果】以上詳細に説明したように、本発明によれば、レートジェネレータ側で作られたレート信号は、システム内部レート信号として用いられ、各タイミングジェネレータ側においては、位相が連続する基準クロックを入力し、タイミングジェネレータ内において得られる遅延量データとレート端数データとを用いてエッジ信号を発生させるもので、以下のような効果を有するタイミング信号発生装置が実現できる。

(a) 従来技術にあるように、位相が不連続な基準クロックを各タイミングジェネレータに分配する必要がなくなり、高い精度のタイミングでエッジ信号を発生することができる。

(b) レートジェネレータ側から各タイミングジェネレータ側に分配する信号は、位相連続な基準クロックとシステム内部レートとして用いられるレート信号であり、レート端数データ等の情報を分配する必要がないので全体システムを簡単にすることができる。

(c) システム全体として、使用する遅延回路の数を少なくすることができ、遅延線を使用することに起因する問題を解決することができる。

【図面の簡単な説明】

【図1】本発明に係わるタイミング信号発生装置の基本的な構成を示す構成ブロック図である。

【図2】図1におけるレートジェネレータRGの一例を示す構成ブロック図である。

【図3】図1におけるタイミングジェネレータTGの一例を示す構成ブロック図である。

【図4】動作の一例を示すタイムチャートである。

【図5】従来のタイミング信号発生装置の一例を示す構成ブロック図である。

【図6】図5の回路を使用して50ナノ秒(ns)の周期を有するタイミング信号Toutを発生する場合を示すタイムチャートである。

【符号の説明】

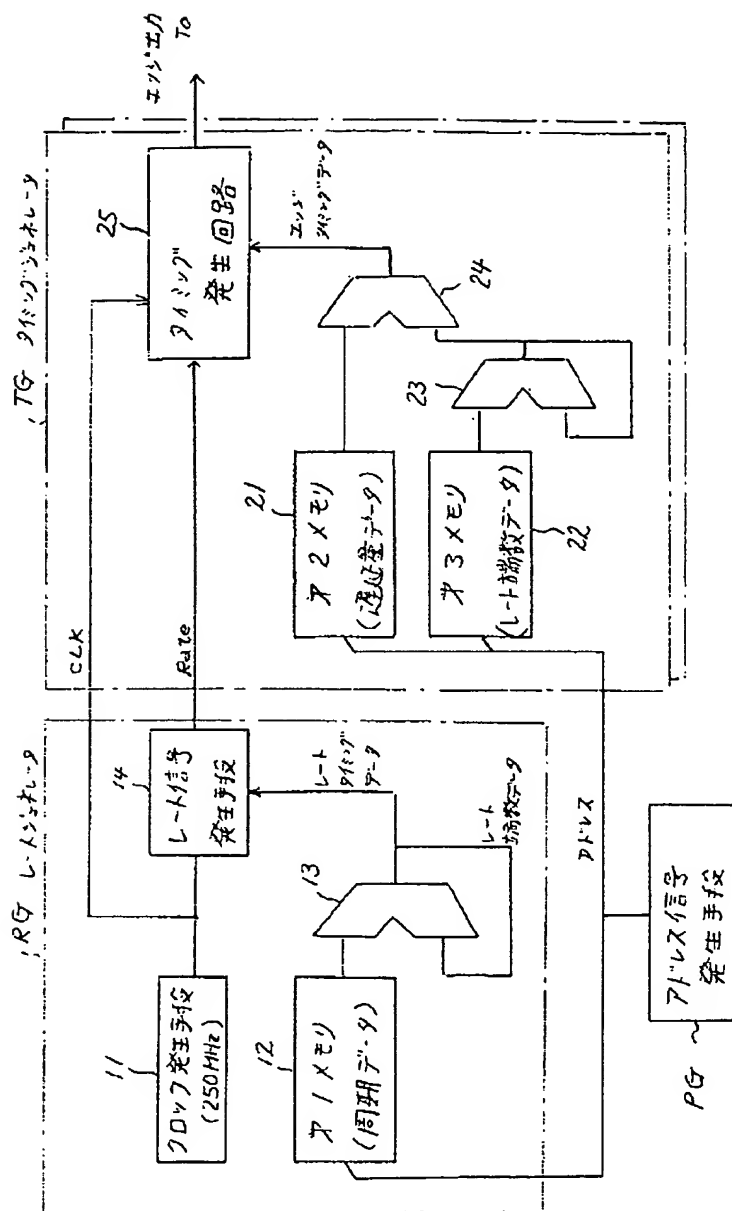
RG レートジェネレータ
TG タイミングジェネレータ
PG アドレス信号発生手段
11 クロック発生手段
12 第1のメモリ
13 第1の加算手段
14 レート信号発生手段
21 第2のメモリ
22 第3のメモリ

- 23 第2の加算手段
24 第3の加算手段
25 タイミングパルス発生回路

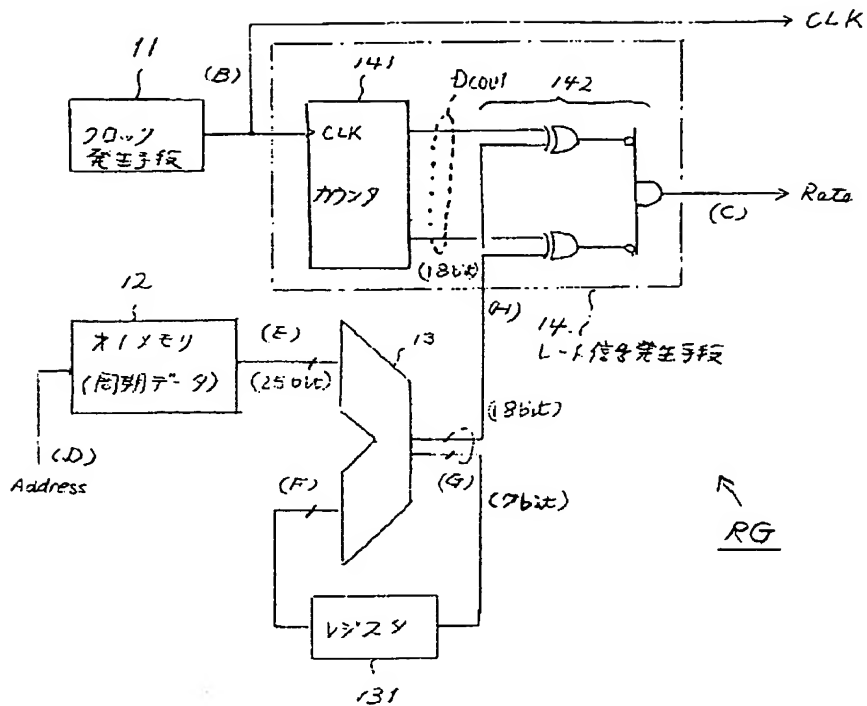
- * 141, 251 カウンタ
142, 252 デジタル比較器

*

【図1】



【圖2】



【図3】

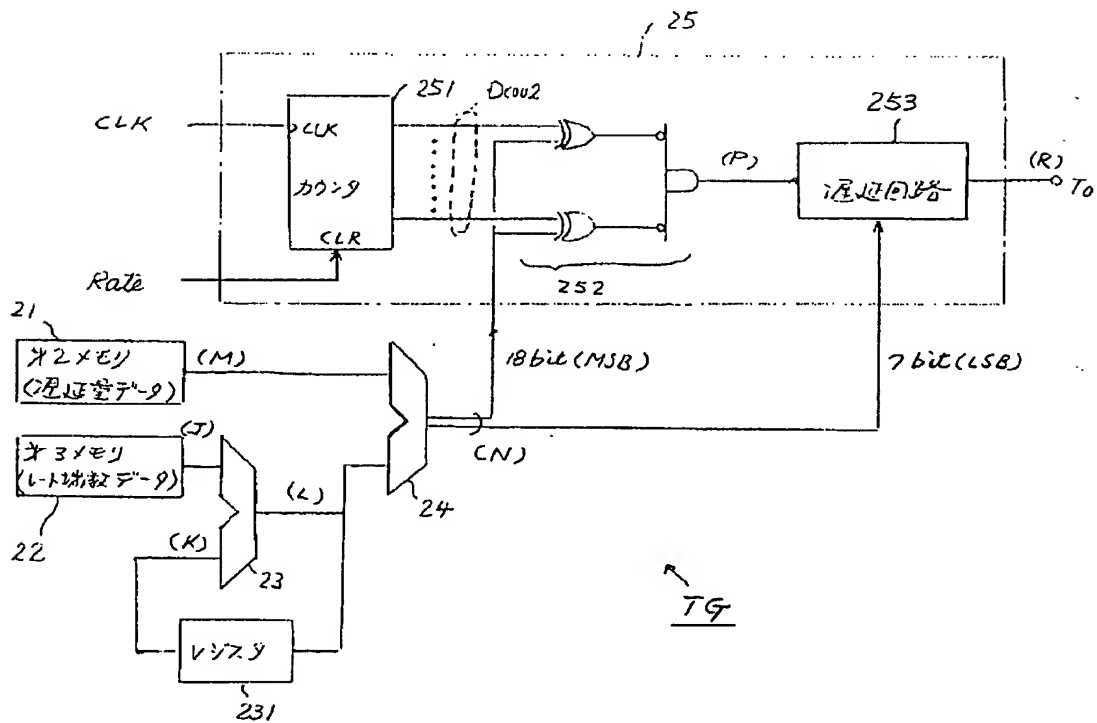


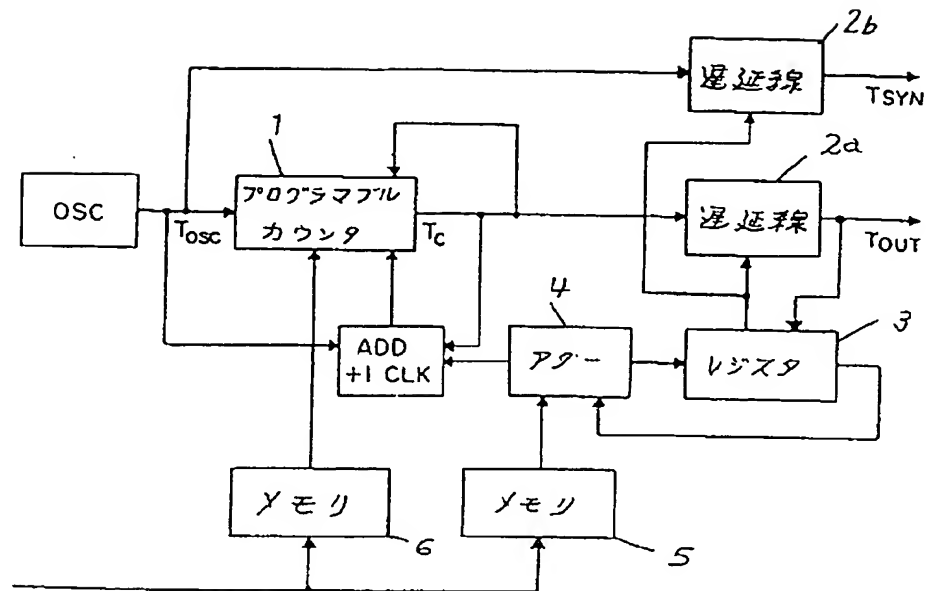
Figure 1 is a timing diagram showing the relationship between various signals and time intervals. The diagram is divided into two main sections by a diagonal line. The top section shows the timing of signals (A) through (P) relative to a common time axis. The bottom section shows the timing of signals (A) through (P) relative to a common time axis. The signals are labeled as follows:

- (A) RATE
- (B) 20MHz (20MHz)
- (C) RATE
- (D) RATE
- (E) RATE
- (F) RATE
- (G) RATE
- (H) RATE
- (I) RATE
- (J) RATE
- (K) RATE
- (L) RATE
- (M) RATE
- (N) RATE
- (O) RATE
- (P) RATE

The timing diagram shows the relationship between various signals and time intervals. The signals are labeled as follows:

- (A) RATE
- (B) 20MHz (20MHz)
- (C) RATE
- (D) RATE
- (E) RATE
- (F) RATE
- (G) RATE
- (H) RATE
- (I) RATE
- (J) RATE
- (K) RATE
- (L) RATE
- (M) RATE
- (N) RATE
- (O) RATE
- (P) RATE

【図5】



【図6】

